

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-051599

(43)Date of publication of application : 20.02.1996

(51)Int.CI. H04N 7/01  
H04N 7/24

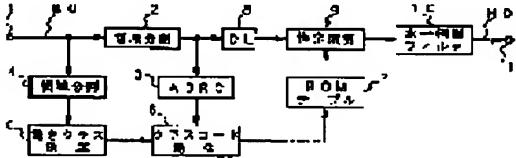
(21)Application number : 06-205934 (71)Applicant : SONY CORP  
(22)Date of filing : 08.08.1994 (72)Inventor : UCHIDA MASASHI  
KONDO TETSUJIRO

## (54) IMAGE INFORMATION CONVERTER

### (57)Abstract:

PURPOSE: To convert a supplied image signal into an image signal with higher resolution.

CONSTITUTION: An SD image supplied to an area division circuit 2 is divided into a prescribed area and fed to an ADRC circuit 3 and a delay circuit 8. Similarly an area division circuit 4 receiving the SD image is divided into a larger range by the area division circuit 2 and the result is fed to a motion class decision circuit 5. A class code generating circuit 6 receives an area pattern from an ADRC circuit 3 and a motion class mv-class from a motion class decision circuit 5 and generates an integrated final class code class. A ROM table 7 reads coefficient data based on the class code class fed from the class code generating circuit 6 and gives the data to an estimate arithmetic circuit 9. The estimate arithmetic circuit 9 conducts vertical interpolation based on the supplied coefficient data and the picture element. Similarly, a horizontal interpolation filter 10 conducts horizontal interpolation and an HD image is extracted.



## LEGAL STATUS

[Date of request for examination] 06.08.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-51599

(43) 公開日 平成8年(1996)2月20日

(51) Int.Cl.<sup>9</sup>

H 04 N 7/01  
7/24

識別記号

府内整理番号

G

F I

技術表示箇所

H 04 N 7/13

Z

審査請求 未請求 請求項の数 3 FD (全 13 頁)

(21) 出願番号 特願平6-205934

(22) 出願日 平成6年(1994)8月8日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 内田 真史

東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

(72) 発明者 近藤 哲二郎

東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

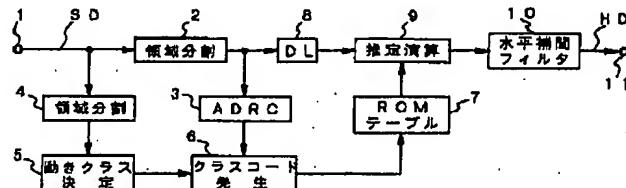
(74) 代理人 弁理士 杉浦 正知

(54) 【発明の名称】 画像情報変換装置

(57) 【要約】

【目的】 供給された画像信号を、より解像度の高い画像信号へ変換することができる。

【構成】 領域分割化回路2へ供給されたSD画像が所定の領域に分割され、ADRC回路3と遅延回路8へ供給される。同様にSD画像が供給された領域分割化回路4は、領域分割化回路2より大きい範囲に領域が分割され、動きクラス決定回路5へ供給される。クラスコード発生回路6では、ADRC回路3から領域のパターンと、動きクラス決定回路5から動きクラスmv-classとが供給され、統合され最終的なクラスコードclassが発生する。ROMテーブル7では、クラスコード発生回路6から供給されたクラスコードclassに基づいて、係数データが読み出され、推定演算回路9へ供給される。推定演算回路9では、供給された係数データと画素値から垂直補間がなされる。同様に水平補間フィルタ10において、水平補間が行われ、HD画像が取り出される。



## 【特許請求の範囲】

【請求項 1】 デジタル画像信号を、より画素数の多いデジタル画像信号へ変換するようにした画像情報変換装置において、

外部から供給された画像情報を同一フレーム内データからなる複数のブロックに分割する第1の画像情報分割手段と、

上記第1の画像情報分割手段により分割されたブロック毎にレベル分布のパターンが検出され、検出された上記パターンに基づいて、上記ブロック毎に属するクラスを決定することにより、クラス検出情報を出力するクラス検出手段と、

外部から供給された上記画像情報を空間的に同位置の複数のフレーム間データからなる複数のブロックに分割する第2の画像情報分割手段と、

上記第2の画像情報分割手段により分割されたブロック毎にフレーム間差分の絶対値の平均値が算出され、予め設定されたしきい値に基づいて、動きを表すクラスを決定することにより、動きクラス検出情報を出力する動きクラス検出手段と、

上記クラス検出手段と上記動きクラス検出手段の情報を統合して最終的なクラスを決定するクラスコード発生手段と、

外部から供給された上記画像情報を、上記画像情報よりも高い解像度の画像情報へ変換するための情報である推定式の係数データが上記クラス毎に記憶され、上記クラスコード発生手段からの上記クラスに応じて上記係数データを出力する係数データ記憶手段と、

上記係数データ記憶手段からの上記係数データに応じて、外部から供給された上記画像情報が上記画像情報よりも高い解像度の画像情報へ変換され、出力する画像変換手段とを有することを特徴とする画像情報変換装置。

【請求項 2】 請求項 1 に記載の画像情報変換装置において、

上記第1の画像情報分割手段において、外部から供給された上記画像情報を第1のモード、および/または、第2のモードのブロックへ分割する第1のモード分割手段と、

上記第2の画像情報分割手段において、外部から供給された上記画像情報を上記第1のモード分割手段より大きい範囲から第1のモード、および/または、第2のモードのブロックへ分割する第2のモード分割手段とを有することを特徴とする画像情報変換装置。

【請求項 3】 請求項 1 に記載の画像情報変換装置において、

上記係数データ発生手段は、クラス毎に上記係数データを格納するメモリ手段を有し、

注目画素の空間的、および/または、時間的に近傍の複数の画素の値と上記係数データの線形1次結合によって、上記注目画素の値を作成した時に、作成された値と

上記注目画素の真値との誤差を最小とするようなクラス毎の上記係数データを予め学習によって求めておくことを特徴とする画像情報変換装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は、例えば、テレビジョン受像器やビデオテープレコーダ装置等に用いて好適な画像情報変換装置に関し、特に、外部から供給される通常の解像度の画像情報を高解像度の画像情報へ変換して出力するような画像情報変換装置に関する。

## 【0002】

【従来の技術】今日において、オーディオ・ビジュアル指向の高まりから、より高解像度の画像を得ることが出来るようなテレビジョン受像器の開発が望まれ、この要望に応えて、いわゆるハイビジョン方式が開発された。このハイビジョン方式は、いわゆるNTSC方式に規定される走査線数が525本なのに対して、2倍以上の1125本となっているうえ、表示画面の縦横比もNTSC方式が3:4に対して、ハイビジョン方式は9:16と広角画面になっている。このため、高解像度で臨場感のある画面を得ることができるようになっている。

【0003】ここで、このような優れた特性を有するハイビジョン方式ではあるが、NTSC方式の映像信号をそのまま供給しても画像表示を行うことはできない。これは、上述のようなNTSC方式とハイビジョン方式では規格が異なるためである。このため、NTSC方式の映像信号に応じた画像をハイビジョン方式で表示しようとする場合、従来は、例えば図9に示すような画像情報変換装置を用いて映像信号のレート変換を行っていた。

【0004】図9において、従来の画像情報変換装置は、入力端子41を介して供給されるNTSC方式の映像信号に対して、水平方向の補間処理を行う水平補間フィルタ42と、水平方向の補間処理の行われた映像信号に対して、垂直方向の補間処理を行う垂直補間フィルタ43とから構成され、出力端子44からハイビジョン方式の映像信号を得ることができる。

【0005】具体的には、水平補間フィルタ42は、図10に示すような構成を有しており、入力端子41を介して供給される映像方式の映像信号は、入力端子51を介して第1～第mの乗算器52～52mにそれぞれ供給される。各乗算器52は、映像信号に係数データを乗算して出力する。係数データの乗算された映像信号は、それぞれ第1～第mの加算器53～53m-1へ供給される。各加算器53～53m-1の間には、それぞれ時間Tの遅延レジスタ54～54mが設けられる。そして、第mの乗算器52mから出力された映像信号は、第mの遅延レジスタ54mにより時間Tの遅延が施され、第m-1の加算器53m-1へ供給される。

【0006】第m-1の加算器53m-1は、第mの遅延

レジスタ54mからの時間Tの遅延時間の施された映像信号と、第m-1の乗算器52m-1からの映像信号とを加算処理して出力する。この加算処理の施された映像信号は、第m-1の遅延レジスタ54m-1により再度、時間Tの遅延が施され、図示しない第m-2の加算器53m-2において、同じく図示しない第m-2の乗算器53m-2からの映像信号と加算処理される。水平補間フィルタ42は、このようにしてNTSC方式の映像信号が输出端子55を介して垂直補間フィルタ43へ供給する。

【0007】垂直補間フィルタ43は、上述した水平補間フィルタ42と同様の構成を有しており、水平補間処理の行われた映像信号に対して、垂直方向の画素の補間を行う。これにより、NTSC方式の映像信号に対して、垂直方向の画素の補間が行われる。このような変換のなされたハイビジョン方式の映像信号は、ハイビジョン受像器へ供給される。これにより、NTSC方式の映像信号に応じた画像をハイビジョン受像器で表示することができる。

#### 【0008】

【発明が解決しようとする課題】しかしながら、上述の従来の画像情報変換装置は、NTSC方式の映像信号を基にして、単に水平方向、および垂直方向の補間を行っているに過ぎないため、解像度は基となるNTSC方式の映像信号と何ら変わらなかった。特に、通常の動画を変換対象とした場合、垂直方向の補間は、フィールド内処理で行うのが一般的であるが、図9に示す画像変換の場合、画像のフィールド間相関を有していないため、画像静止部においては、変換ロスのためNTSC方式の映像信号よりむしろ解像度が劣化する欠点があった。

【0009】これに対し、入力信号である画像信号レベルの3次元(時空間)分布に応じてクラス分割を行い、クラス毎に予め学習により獲得された予測係数値を格納した記憶手段を持ち、予測式に基づいた演算により最適な推定値を出力する、というものがある。

【0010】この手法は、HD(High Definition)画素を創造する場合、創造するHD画素の近傍にある、垂直方向に連続する同一フレーム内のSD(Standard Definition)画素をクラス分割し、それぞれのクラス毎に予測係数値を学習により獲得することで、画像静止部においてはフレーム内相関、また動き部においてはフィールド内相関を利用して、より真値に近いHD画素を得る、というような巧妙なものである。

【0011】例えば、図11において、SD画素x1～x6をクラス分類に用いた場合、SD画素x1～x6に対して、2ビットADRCを行った結果の量子化データがそれ順に3、0、3、0、3、0であった場合、その部分は動き画像である可能性が極めて高い。すなわち、創造すべきHD画素y周辺の画像は動いている可能性が高い。そこで、画像信号変換装置では、時間的に等しいデータの中で空間位置の近いSD画素x2とSD

画素x4に重きを置いて、HD画素yを創造する。

【0012】一方、SD画素x1～x6に対して、2ビットADRCを行った結果の量子化データがそれ順に、3、3、2、2、1、0であった場合、その部分は静止画像である可能性が高い。そこで、画像信号変換装置では、時間的位相にかかわらず、空間位置の近いSD画素x2とSD画素x4に重きを置いて、HD画素yを創造する。この際、クラス分類は、動きのある/なし、のみならず、創造するHD画素近傍の信号波形をも表現し、それぞれの波形において、最適となるような予測係数値を出力することも大きな特長である。

【0013】この手法によれば、静止/動き、の切り換わりも実際の画像を用いて学習することにより滑らかに表現できるので、従来の動き適応方式のように静止/動きの切り換わりによる不自然さの発生を大幅に減少させることができる。

【0014】しかしながら、上述の手法は、有限個のクラス分割により、動き情報と空間内の波形の二つを表現する必要があり、クラスによっては、本来なら分離すべきパターンが一つのクラス内に混在してしまう場合があった。

【0015】例えば、上述のSD画素x1～x6に対して、2ビットADRCを行った結果の量子化コードがそれ順に3、0、3、0、3、0であった場合、上述のように、このパターンの場合その部分が動き画像である確率が極めて高いのであるが、稀に空間的な周波数が高い場合、動きがなくてもこのようなパターンが出現することがある。この場合は、細かい横縞パターンがそれにあたる。このような場合、静止している細かい横縞パターンに対しても動画向けの処理、すなわち時間的に等しい位相の中で、空間的に近いデータを用いて変換を行う、しかしながら、これにより解像度が劣化することがあった。

【0016】これに対し、特願平5-172617号に記載された画像信号変換装置では、3フィールド分のデータを用いて、空間的に同一の位置にあるデータの値を利用して、クラス分類を行う、というものがある。これは、例えば図12に示すように、SD画素x1～x6に加え、SD画素x3と空間的に同一位置にあるSD画素x7をも加えてクラス分類する、というものである。

【0017】この手法によれば、SD画素x1～x6を量子化したデータのパターンによる動き表現に加えSD画素x1とSD画素x7を量子化したデータによる動き表現を利用することができる。すなわち、図12において、SD画素x1とSD画素x7の差分値が小さい場合は、創造すべきHD画素y周辺の画像は静止している可能性が高い。そこで、上述の画像信号変換装置では、空間位置の近いSD画素x1とSD画素x2に重きを置いて、HD画素yを創造する。一方、SD画素x1とSD画素x7の差分値が大きい場合は、創造すべきHD

画素  $y$  周辺の画像は動いている可能性が高い。そこで、上述の画像信号変換装置では、時間的に近い SD 画素  $x_3$  と SD 画素  $x_4$  に重きをおいて、HD 画素  $y$  を創造する。

【0018】しかしながら、空間的に同一位置にある SD 画素データが一組だけでは、動きの種類、あるいはノイズ等の影響により、誤動作が発生しやすいため、より性能の向上を求める為には、2組以上の空間的に同一位置にある SD 画素データを使うことが望ましい。

【0019】また、すばやい動きが画像中にある場合、例えば画像中の1フィールドにのみ動きが介入した場合、上述の手法では、検出が原理的に困難な場合がある。すなわち、図12中の#(k+1)フィールドのみ動き物体が通過した場合、SD 画素  $x_1$  と SD 画素  $x_7$  の差分値が小さいため、そのパターンに対しては、静止寄りの処理がなされることになる。したがって、この意味からは、空間的に同一位置にある SD 画素データの組が時間的に異なった組合せで存在することが望ましい。

【0020】この対策としてクラス分割に用いる画素数を増やして、クラス数を増加させることにより、復元画像の品質劣化を低減する、という手法も考えられる。例えば、SD 画素  $x_3$  と空間的に同一位置にある SD 画素  $x_7$ 、のみならず、図13に示すように、SD 画素  $x_2$  と空間的に同一位置にある SD 画素  $x_8$ 、SD 画素  $x_4$  と空間的に同一位置にある SD 画素  $x_9$  を加えるなどという手法が考えられる。この手法によれば、空間的に同一位置にある SD 画素データの組が増加するため、パターンによる動き判定の性能は向上する。

【0021】しかしながら、追加した3画素の量子化を例えれば、他の画素と同様に2ビット A D R C を行ったとすると、図11に示すオリジナルの方式に比べ、クラス数は64倍となり、結果的にクラス数が非常に大きなものになってしまい、その結果ハードウェア規模の増加を招き、現実性に乏しい。

【0022】したがって、この発明の目的は、上述の問題点を鑑みてなされたものであり、解像度を向上させて N T S C 方式の映像信号をハイビジョン方式の映像信号へ変換することが出来るような画像情報変換装置を提供することにある。

#### 【0023】

【課題を解決するための手段】この発明は、デジタル画像信号を、より画素数の多いデジタル画像信号へ変換するようにした画像情報変換装置において、外部から供給された画像情報を同一フレーム内データからなる複数のブロックに分割する第1の画像情報分割手段と、第1の画像情報分割手段により分割されたブロック毎にレベル分布のパターンが検出され、検出されたパターンに基づいて、ブロック毎に属するクラスを決定することにより、クラス検出情報を出力するクラス検出手段と、外部から供給された画像情報を空間的に同位置の複数のフ

レーム間データからなる複数のブロックに分割する第2の画像情報分割手段と、第2の画像情報分割手段により分割されたブロック毎にフレーム間差分の絶対値の平均値が算出され、予め設定されたしきい値に基づいて、動きを表すクラスを決定することにより、動きクラス検出情報を出力する動きクラス検出手段と、クラス検出手段と動きクラス検出手段の情報を統合して最終的なクラスを決定するクラスコード発生手段と、外部から供給された画像情報を、画像情報よりも高い解像度の画像情報へ変換するための情報である推定式の係数データがクラス毎に記憶され、クラスコード発生手段からのクラスに応じて係数データを出力する係数データ記憶手段と、係数データ記憶手段からの係数データに応じて、外部から供給された画像情報が画像情報よりも高い解像度の画像情報へ変換され、出力する画像変換手段とを有することを特徴とする画像情報変換装置である。

#### 【0024】

【作用】この発明に係る画像情報変換装置は、入力 SD 信号を画像情報分割手段により、垂直方向に連続する同一フレーム内の複数の画素からなる複数の領域に分割され、それぞれの領域毎に画像情報のレベル分布のパターンが検出され、この検出されたパターンに基づいて、その領域の画像情報が属するクラスを決定してクラス検出情報を出力する。さらに、異なる種類の画像情報分割手段により、複数のフレーム間データの組合せに分割され、それぞれの領域毎に空間的に同一位置にあるフレーム間差分の絶対値が算出され、予め設定したしきい値により動きの程度を示すクラスが決定され、クラス検出情報が输出される。上述の2つのクラスをクラスコード発生手段により統合し、最終的なクラスとして出力する。係数データ記憶手段には、外部から供給された画像情報を、この画像情報よりも高い解像度の画像情報へ変換するための情報である線形推定式の係数データがクラス毎に記憶されており、この係数データがクラス検出情報に応じて出力される。そして、画像情報変換手段では、係数データ記憶手段から供給された係数データに応じて、外部から供給された画像情報を、外部から供給された画像情報よりも高い解像度の画像情報へ変換される。

#### 【0025】

【実施例】以下、この発明に係る画像信号変換装置の一実施例について図面を参照しながら詳細に説明する。図1は、この一実施例、すなわち画像信号変換装置の信号処理の概略的構成を示す。1で示す入力端子は、外部から供給される画像情報として、例えればいわゆる N T S C 方式の映像信号がデジタル化された SD 画素として供給される。

【0026】この実施例における、SD 画素と創造すべき HD 画素の位置関係は、図2に示す。すなわち、創造すべき HD 画素には、同一フィールド内で見たとき、SD 画素から近い位置に存在する HD 画素  $y_1$  と S

D画素から遠い位置に存在するHD画素 $y_2$ の2種類がある。以降、SD画素から近い位置に存在するHD画素 $y_1$ を推定するモードをモード1と称し、SD画素から遠い位置に存在するHD画素 $y_2$ を推定するモードをモード2と称する。

【0027】領域分割回路2では、入力端子1より供給されたSD画像信号を複数の領域に分割する。この実施例では、創造するべきHD画素の同一フレーム内の例えば上下各3画素ずつのSD画素を1画素×6ラインの計6画素からなる領域に分割する。

【0028】モード1に関しては、図3におけるHD画素 $y_1$ に対する、SD画素 $x_1, x_2, x_3, x_4, x_5, x_6$ がその領域にあたる。この領域をブロック1と呼ぶこととする。モード2に関しては、図4におけるHD画素 $y_2$ に対する、SD画素 $x_1, x_2, x_3, x_4, x_5, x_6$ がその領域にあたる。この領域をブロック2と呼ぶこととする。

【0029】領域分割回路2によりブロック化されたデータが、ADRC回路3、および遅延回路8へ供給される。遅延回路8は、ADRC回路3、クラスコード発生回路6、ROMテーブル7の処理に必要な時間だけデ

$$D.R = MAX - MIN + 1$$

$$Q = \{(L - MIN + 0.5) \times 2 / DR\}$$

ただし、{ }は切り捨て処理を意味する。

【0033】この実施例では、領域分割回路2により分割されたそれぞれ6画素のSDデータを各2ビットに圧縮するものとする。圧縮されたSDデータをそれぞれ $q_1 \sim q_6$ とする。

【0034】一方、入力端子1から供給されたSD画像信号は、領域分割回路4にも供給される。領域分割回路4においても、供給されたSD画像信号を複数の領域に分割する。この実施例では、供給されたSD画像信号から、創造するべきHD画素の前フレーム内の例えば上下3画素ずつのSD画素を1画素×6ラインの計6画素からなる領域に分割し、創造するべきHD画素と同一フレーム内の例えば上下3画素ずつのSD画素を1画素×6ラインの計6画素からなる領域に分割する。

【0035】すなわち、モード1に関しては、図5におけるHD画素 $y_1$ に対する前フレームのSD画素 $m_1 \sim m_6$ 、および同一フレームのSD画素 $n_1 \sim n_6$ がその領域にあたる。モード2に関しては、図6におけるHD画素 $y_1$ に対する前フレームのSD画素 $m_1 \sim m_6$ 、および同一フレームのSD画素 $n_1 \sim n_6$ がその領域にあたる。

【0036】領域分割回路4により切り出されたデータが、動きクラス決定回路5へ供給される。動きクラス決定回路5では、領域毎に供給されるSDデータの差分が算出され、算出された差分に対して絶対値処理が行われる。絶対値処理が行われたSDデータの平均値 $param$ を算出し、その平均値 $param$ に対してしきい値処理がなさ

ータを遅延させて、推定演算回路9に出力する。

【0030】ADRC回路3は、領域毎に供給されるSDデータの1次元的、あるいは2次元的なレベル分布のパターンを検出すると共に、上述のように各領域のデータを、例えば8ビットのSDデータから2ビットのSDデータへ圧縮するような演算を行うことによりパターン圧縮データを形成し、このパターン圧縮データをクラスコード発生回路6へ供給する。

【0031】本来、ADRC(Adaptive Dynamic Range Coding)は、VTR(Video Tape Recorder)向け高能率符号化用に開発された適応的再量子化法であるが、信号レベルの局所的なパターンを短い語長で効率的に表現できるので、この発明の実施例では、信号パターンのクラス分類のコード発生に使用している。ADRC回路は、領域内のダイナミックレンジをDR、ビット割当をn、領域内画素のデータレベルをL、再量子化コードをQ、として以下の式(1)により、領域内の最大値MAXと最小値MINとの間を指定されたビット長で均等に分割して再量子化を行う。

【0032】

(1)

れることにより、動きの指標である動きパラメータが算出され、算出された動きパラメータから動きクラスmv-classが決定される。決定された動きクラスmv-classは、クラスコード発生回路6へ供給される。具体的には、動きクラス決定回路5は以下の式(2)により、供給されるSDデータの差分の絶対値の平均値 $param$ を算出する。

【0037】

【数1】

$$param = \frac{\sum_{i=1}^n |m_i - n_i|}{n} \quad (2)$$

ただし、この実施例では、n=6である。

【0038】上述の手法で算出したSDデータの差分の絶対値の平均値 $param$ が予め設定されたしきい値により、このSDデータの差分の絶対値の平均値 $param$ を用いて動きクラスmv-classが決定される。例えば、この実施例では、動きクラスmv-classを4つ設けるとし、平均値 $param$ と動きクラスmv-classを図7に示すように設定する。

【0039】クラスコード発生回路6では、ADRC回路3から供給されるパラメータ圧縮データ、および動きクラス決定回路5から供給される動きクラスmv-classに基づいて以下の式(3)の演算が行われることにより、そのブロックが属するクラスが検出され、そのクラスを示すクラスコードclassがROMテーブル7へ供給される。このクラスコードclassは、ROMテーブル7から

の読み出しアドレスを示す。

【0040】

【数2】

$$\text{class} = \sum_{i=1}^n q_i (2^P)^i + \text{mv-class} \cdot 2^{Pn} \quad (3)$$

この実施例では、nは6、Pは2である。

【0041】ROMテーブル7には、SDデータのパターンとHDデータの関係を学習することにより、線形推定式を用いて、SDデータに対応するHDデータを算出するための係数データが各クラス毎に記憶されている。これは、線形推定式によりSDデータをこの画像情報よりも高い解像度の画像情報である、いわゆるハイビジョン方式の規格に合致したHDデータへ変換するための情報である。この実施例においては、係数データは、モード1とモード2で独立に用意される。なお、ROMテーブル7に記憶されている係数データの作成方法については後述する。ROMテーブル7からは、クラスコードclassで示されるアドレスから、そのクラスの係数データ

$$hd' = w_1 x_1 + w_2 x_2 + w_3 x_3 + w_4 x_4 + w_5 x_5 + w_6 x_6 \quad (4)$$

【0045】水平補間フィルタ10は、図9の水平補間フィルタ42と同一なもので、補間処理により水平方向の画素数を2倍にするものである。水平補間フィルタ10の出力は、出力端子11を介して出力される。この出力端子11を介して出力されるHDデータは、例えばHD用のテレビジョン受像器やHD用のビデオテープレコーダ装置等に供給される。

【0046】このように、SDデータに対応するHDデータを推定するための係数データが各クラス毎に予め学習により求められた上で、ROMテーブル7に記憶しておき、入力されるSDデータ、およびROMテーブル7から読み出された係数データに基づいて演算が行われ、入力されたSDデータに対応するHDデータを形成して出力することにより、入力されるSDデータを単に補間処理したのとは異なり、実際のHDデータにより近いデータを出力することが出来る。

【0047】続いて、ROMテーブル7に格納される係数データの作成方法（学習）について図8を用いて説明する。係数データを学習によって得るためにには、まず、既に知られているHD画像に対応した、HD画像の1/4の画素数のSD画像を形成する。具体的には、図8に示す理想フィルタ回路により、入力端子21を介して供給されるHDデータの垂直方向の画素が垂直間引きフィルタ22によりフィールド内の垂直方向の周波数が1/2になるように間引き処理され、さらに水平間引きフィルタ23により、HDデータの水平方向の画素が間引き処理されることにより、SDデータを得る。垂直間引きフィルタ23により得られたSDデータは、領域分割化回路24へ供給される。

【0048】領域分割化回路24では、水平間引きフィ

であるwi(class)が読み出される。この係数データは、推定演算回路9へ供給される。

【0042】推定演算回路9では、遅延回路8を介して、領域分割化回路2から供給されるSDデータ、およびROMテーブル7から供給される係数データであるwi(class)に基づいて、入力されたSDデータに対応するHDデータが算出される。

【0043】より具体的には、推定演算回路9は、遅延回路8より供給されたSDデータとROMテーブル7から供給された係数データにより、モード1に関してはブロック1用の係数データを用いて、モード2に関してはブロック2の係数データを用いて、係数データであるwi(class)に基づいて、それぞれ以下の式（4）に示す演算を行うことにより、入力されたSDデータに対応するHDデータを算出する。作成されたHDデータは水平補間フィルタ10へ供給される。

【0044】

ルタ23より供給されたSD画像信号を複数の領域に分割する。具体的には、領域分割化回路24は、先に説明した領域分割化回路2と同一の働きをするものである。この実施例では、領域分割化回路2と同じく、各6画素からなる領域に分割する。すなわち、モード1に対してはブロック1の領域の領域分割を行い、モード2に関しては、ブロック2の領域分割を行う。この領域毎のSDデータがADRC回路25、および正規方程式加算回路29へ供給される。

【0049】ADRC回路25では、領域毎に供給されるSDデータの1次元的、あるいは2次元的なレベル分布のパターンが検出されると共に、上述のように各領域の全てのデータ、あるいは一部のデータを、例えば8ビットのSDデータから2ビットのSDデータに圧縮するような演算が行われることによりパターン圧縮データを形成し、このパターン圧縮データがクラスコード発生回路28へ供給される。ADRC回路25は、先に説明したADRC回路3と同一のものである。この実施例では、領域分割化回路24により分割された6画素からなる各領域のSDデータ（図3、図4におけるSD画素x1～x6）をADRCを行い各2ビットへ圧縮するものとする。

【0050】一方、水平間引きフィルタ23より供給されたSD画素信号は、領域分割化回路26にも供給される。具体的には、領域分割化回路26は、先に説明した領域分割化回路4と同一の働きをするものである。領域分割化回路26により切り出されたSDデータは、動きクラス決定回路27へ供給される。動きクラス決定回路27は、具体的には、先に説明した動きクラス決定回路5と同一の働きをするものである。動きクラス決定回路

2.7で決定された動きクラスmv-classは、クラスコード発生回路2.8へ供給される。

【0051】クラスコード発生回路2.8は、先に説明したクラスコード発生回路6と同一のものであり、ADR C回路2.5から供給されるパターン圧縮データ、および動きクラス決定回路2.7から供給された動きクラスmv-classに基づいて、式(2)の演算が行われることにより、そのブロックの属するクラスが検出され、そのクラスを示すクラスコードを出力するものである。クラスコード発生回路2.8は、クラスコードを正規方程式加算回路2.9へ出力する。

【0052】ここで、正規方程式加算回路2.9の説明のために、複数個のSD画素からHD画素への変換式の学

$$y = w_1 x_1 + w_2 x_2 + \dots + w_n x_n \quad (5)$$

【0055】学習は、クラス毎に複数の信号データに対し行う。データ数がmの場合、式(5)にしたがつ

$$y_k = w_1 x_{k1} + w_2 x_{k2} + \dots + w_n x_{kn} \quad (6)$$

(k=1, 2, ..., m)

【0057】m>nの場合、係数データw<sub>1</sub>、..., w<sub>n</sub>は、一意に決まらないので、誤差ベクトルeの要素を以下式(7)で定義して、式(8)を最小にする係数デ

$$e_k = y_k - \{w_1 x_{k1} + w_2 x_{k2} + \dots + w_n x_{kn}\} \quad (7)$$

(k=1, 2, ..., m)

【0059】

【数3】

$$e^2 = \sum_{k=0}^m e_k^2 \quad (8)$$

【0060】ここで、式(8)のw<sub>i</sub>による偏微分係数を求める。それは以下の式(9)を'0'にするよう各w<sub>i</sub>を求める。

【0061】

$$X_{ji} = \sum_{p=0}^m x_{pi} \cdot x_{pj} \quad (10)$$

【0064】

$$Y_i = \sum_{k=0}^m x_{ki} \cdot y_k \quad (11)$$

【0065】

$$\begin{pmatrix} X_{11} & X_{12} & \dots & X_{1n} \\ X_{21} & X_{22} & \dots & X_{2n} \\ \vdots & \vdots & \ddots & \vdots \\ X_{n1} & X_{n2} & \dots & X_{nn} \end{pmatrix} \begin{pmatrix} w_1 \\ w_2 \\ \vdots \\ w_n \end{pmatrix} = \begin{pmatrix} Y_1 \\ Y_2 \\ \vdots \\ Y_n \end{pmatrix} \quad (12)$$

【0066】この方程式は、一般に正規方程式と呼ばれている。正規方程式加算回路2.9は、クラスコード発生回路2.8から供給されたクラスコードclass、領域分割化回路2.4より供給されたSD画素x<sub>1</sub>、..., x<sub>n</sub>、入力端子2.1より供給された、SDデータに対応するHD画素yを用いて、この正規方程式の加算を行う。

【0067】全ての学習用のデータの入力が終了した

習とその予測式を用いた信号変換について述べる。以下に、説明のために学習をより一般化してn画素による予測を行う場合について説明する。SD画素レベルをそれぞれx<sub>1</sub>、..., x<sub>n</sub>として、それぞれにpビットADCを行った結果の再量子化データをq<sub>1</sub>、..., q<sub>n</sub>とする。

【0053】このとき、この領域のクラスコードclassを式(2)で定義する。上述のようにSD画素レベルをそれぞれ、x<sub>1</sub>、..., x<sub>n</sub>とし、HD画素レベルをyとしたとき、クラス毎に係数データw<sub>1</sub>、..., w<sub>n</sub>によるnタップの線形推定式を設定する。これを式(5)に示す。学習前は、w<sub>i</sub>が未定係数である。

【0054】

て、以下に示す式(6)が設定される。

【0056】

ータを求める。いわゆる、最小自乗法による解法である。

【0058】

【数4】

$$\frac{\partial e^2}{\partial w_i} = \sum_{k=0}^m 2 \left( \frac{\partial e_k}{\partial w_i} \right) e_k = \sum_{k=0}^m 2 x_{ki} \cdot e_k \quad (9)$$

【0062】以下、式(10)、(11)のようにX<sub>ij</sub>、Y<sub>i</sub>を定義すると、式(9)は、行列を用いて式(12)へ書き換えられる。

【0063】

【数5】

【数6】

【数7】

後、正規方程式加算回路2.9は、予測係数決定回路3.0に正規方程式データを出力する。予測係数決定回路3.0は、正規方程式を書き出し法等の一般的な行列解法を用いて、w<sub>i</sub>について解き、予測係数を算出する。予測係数決定回路3.0は、算出された予測係数をメモリ3.1に書き込む。

【0068】以上のように学習を行った結果、メモリ3

1には、量子化データ $q_1$ 、…、 $q_6$ で規定されるパターン毎に、注目HD画素yを推定するための、統計的にもっとも真値に近い推定が出来る予測係数が格納される。このメモリ31に格納されたテーブルが、上述のように、この発明の画像信号変換装置において、使用されるROMテーブル7である。以上の処理により、線形推定式により、SDデータからHDデータを作成するための係数データの学習が終了する。

【0069】なお、この実施例の説明では、情報圧縮手段として、ADCを設けることにしたが、これはほんの一例であり、信号波形のパターンを少ないクラスで表現できるような情報圧縮手段であれば何を設けるかは自由であり、例えば、DPCM(予測符号化)、VQ(ベクトル量子化)等の圧縮手段を用いても良い。

【0070】さらに、この実施例の説明では、簡単のため、水平方向のアップコンバージョンに水平補間フィルタ10を用いたが、この代わりに、水平方向アップコンバージョン用のROMを用意し、水平方向のアップコンバージョンにおいても推定式を用いたこの発明を探ることも勿論可能である。

【0071】さらに、この実施例の説明では、領域分割化回路4により、信号波形のパターンを1次元的に分割して表現したが、2次元的な分割にしても良い。

【0072】さらに、この実施例の説明では、領域分割化回路5、および動きクラス決定回路6により、1次元的に分割したSD画像データを用いて、動きクラスmv-classの決定を行っていたが、領域分割を2次元的な分割にしても良い。むしろ、2次元的なものにするほうが望ましい。また、今回は簡単のため、領域分割化回路4による領域分割と領域分割化回路5による領域分割は、類似の領域分割を行ったが本来これらは全く別個のものであり、類似の領域分割を行う必要は全くない。

【0073】さらに、この実施例の説明では、クラス分類に使用するSD画素と、線形推定式で用いるSD画素を同一のものとしたが、これらは必ずしも同一なものである必要はない。異なる画素を使用する場合、クラス分類に使用するSD画素を線形推定式で用いるSD画素が包含するような形にするのが望ましく、また追加して使用する、線形推定式で用いるSD画素は、推定するHD画素と同一フィールドに属するもののみとすることが望ましい。

【0074】

【発明の効果】従来提案されている方式の時空間構造のクラス分類を行うことによる推定方式は、動きのミスマッチにより推定画像において、破綻が発生することがあった。この手法においては、その問題点を軽減するためには大幅にクラスが増加するという欠点があったが、この発明の手法によれば、クラス数の増加を押さえつつ、その劣化を大幅に低減することができる。

【図面の簡単な説明】

【図1】この発明に係る画像情報変換装置の一実施例のブロック図である。

【図2】SDデータとHDデータの位置関係を説明するための略線図である。

【図3】クラス分割に使用するデータを説明するための略線図である。

【図4】クラス分割に使用するデータを説明するための略線図である。

【図5】動きクラス決定に使用するデータを説明するための略線図である。

【図6】動きクラス決定に使用するデータを説明するための略線図である。

【図7】平均値paramと動きクラスとの一例の関係を示す略線図である。

【図8】補正データテーブルを作成する時の説明のための略線図である。

【図9】従来の画像情報変換装置のブロック図である。

【図10】従来の画像情報変換装置の要部の回路図である。

【図11】従来の時空間クラス分割方式の問題点を説明するための略線図である。

【図12】従来の時空間クラス分割方式の問題点を説明するための略線図である。

【図13】従来の時空間クラス分割方式の問題点を説明するための略線図である。

【符号の説明】

2、4 領域分割化回路

3 ADC回路

5 動きクラス決定回路

6 クラスコード発生回路

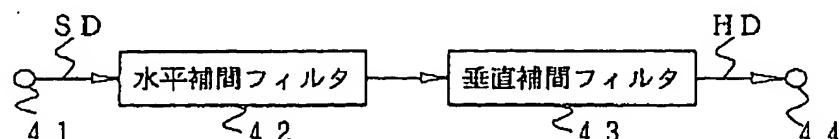
7 ROMテーブル

8 遅延回路

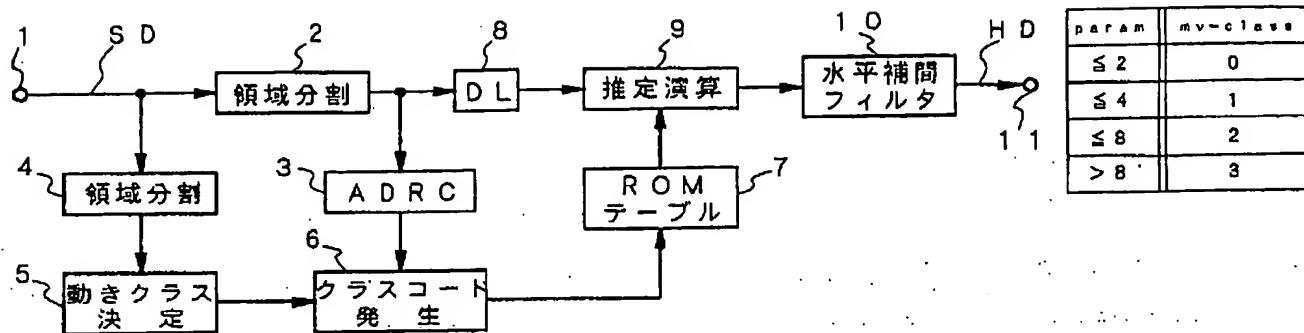
9 推定演算回路

10 水平補間フィルタ

【図9】



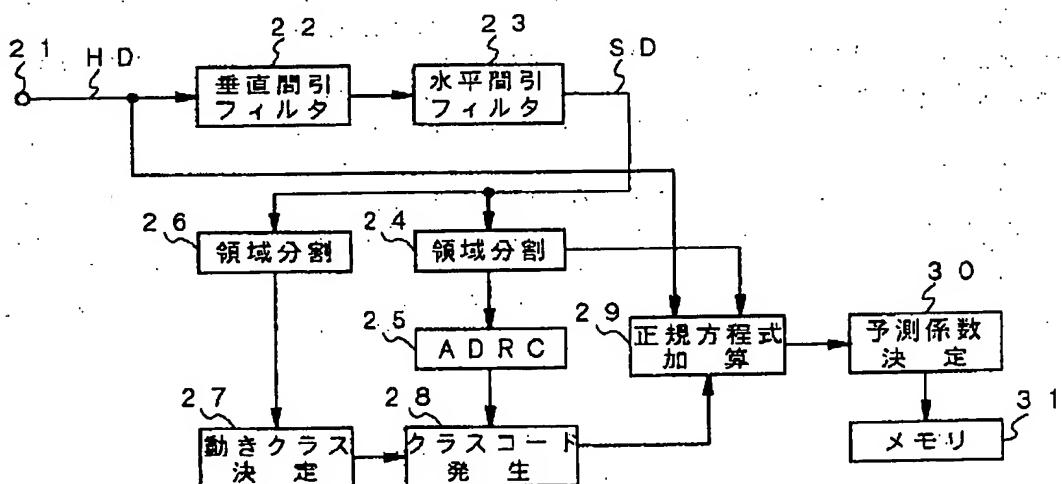
【図1】



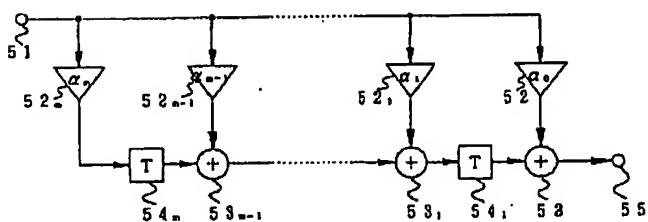
【図7】

param	mv-class
$\leq 2$	0
$\leq 4$	1
$\leq 8$	2
$> 8$	3

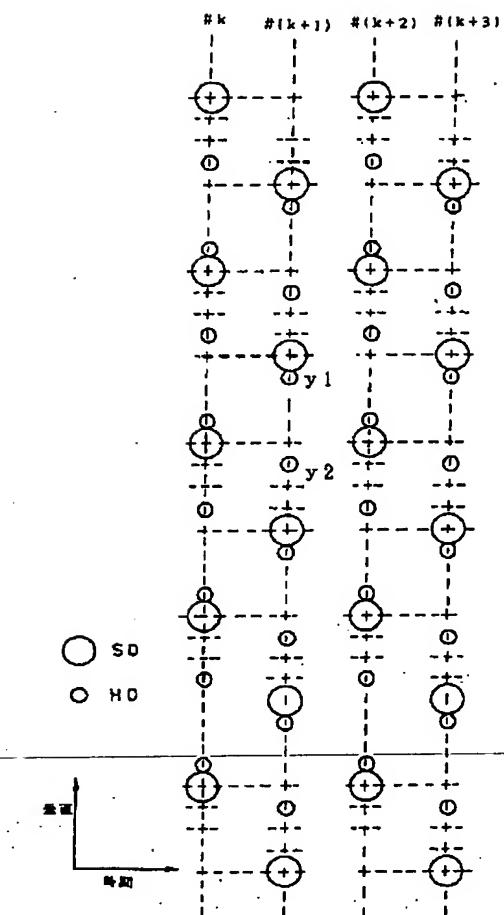
【図8】



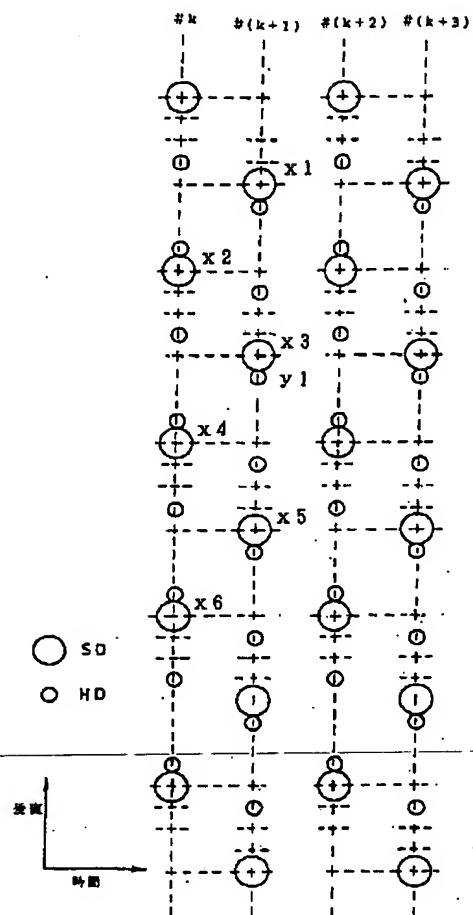
【図10】



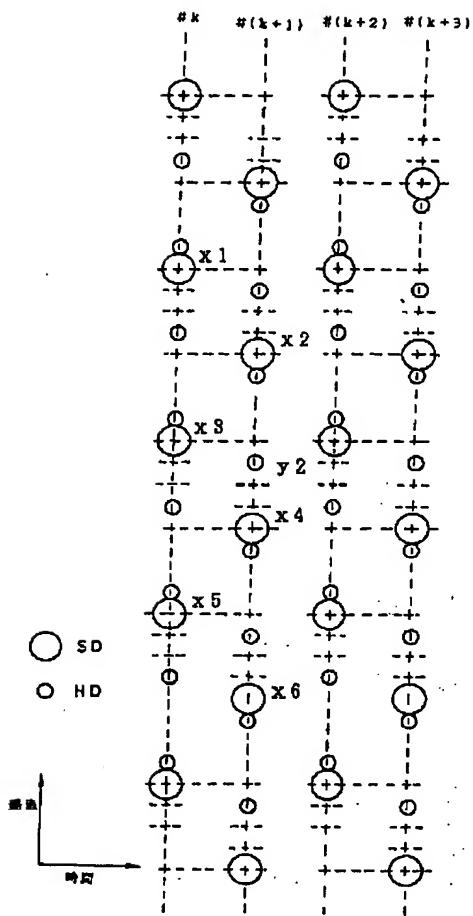
【図2】



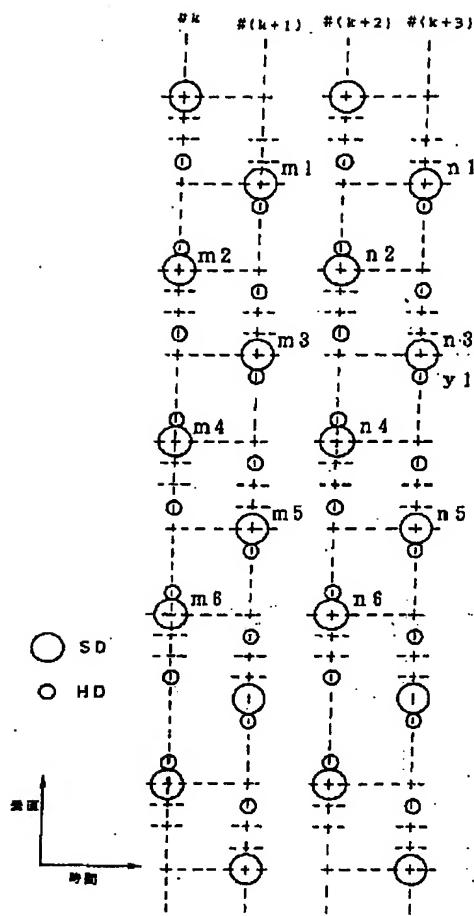
【図3】



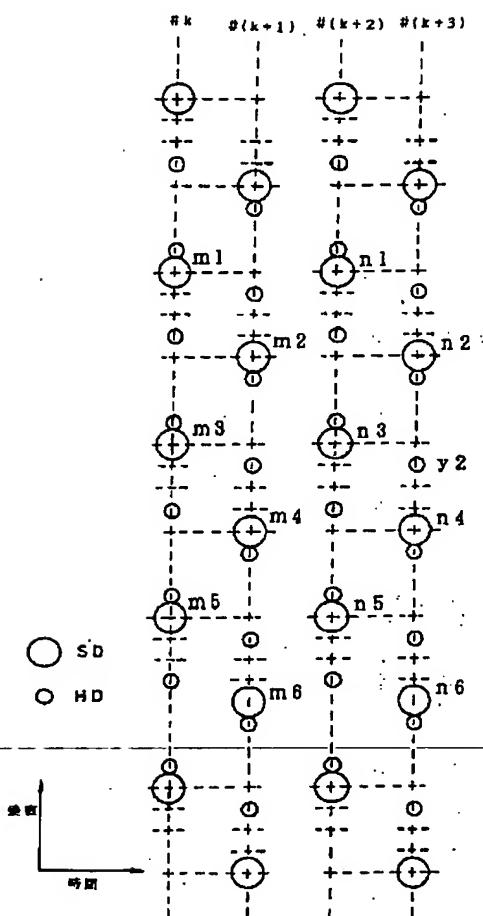
【図4】



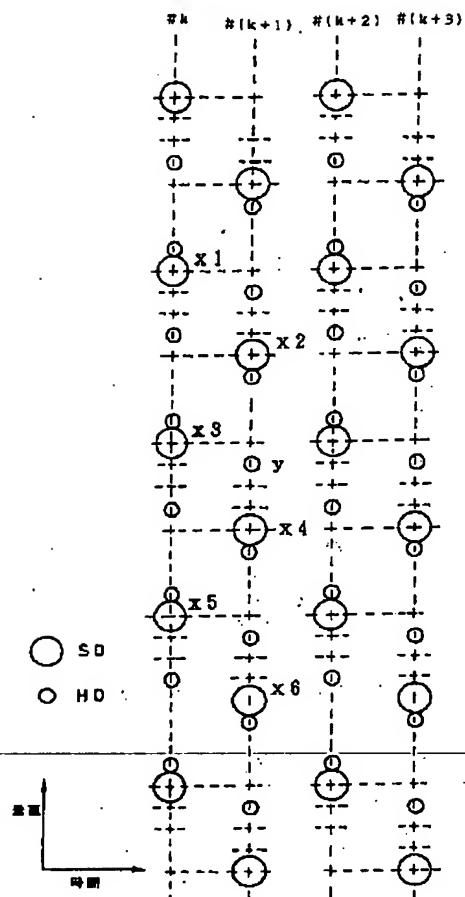
【図5】



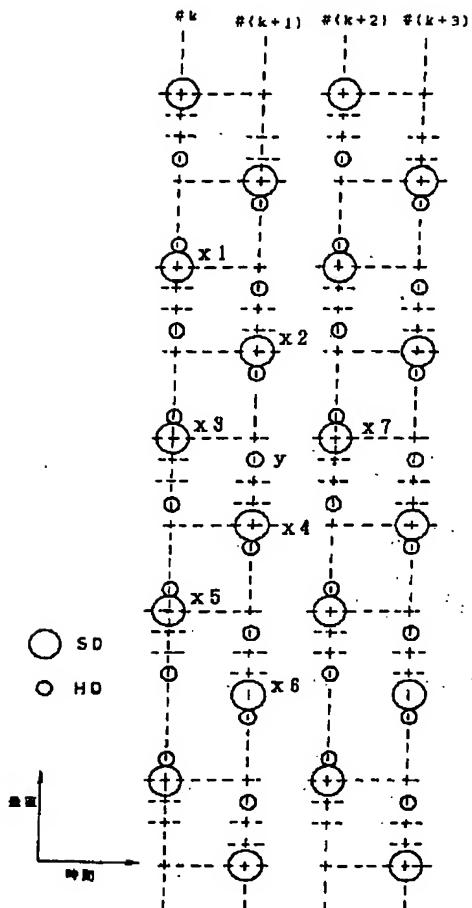
【図6】



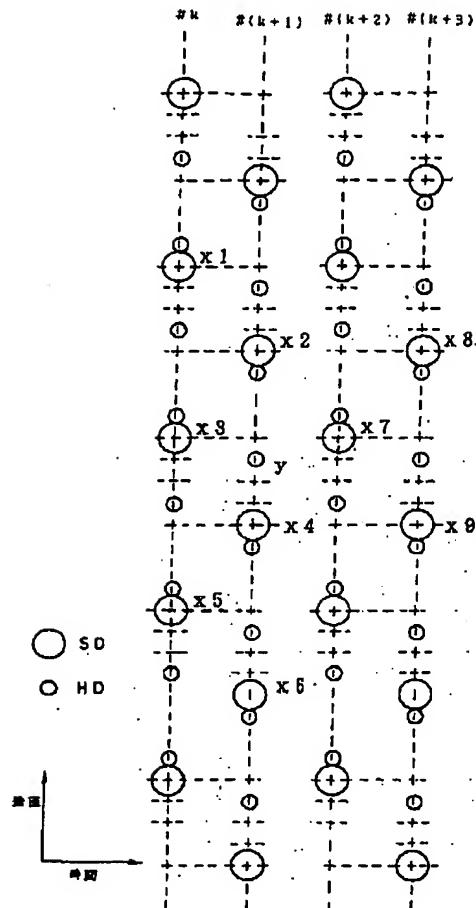
【図11】



【図12】



【図13】



THIS PAGE BLANK (USPTO)